

# Desarrollo de un kit de diseño interoperable y un conjunto de celdas estándar abierto para un proceso CMOS escalable

Gabriel Andrés Sanca

gsanca@fi.uba.ar

Director: Dr. Ing. Mariano García Inza

Co-director: Ing. Octavio Hernan Alpago

Laboratorio de Microelectrónica

Facultad de Ingeniería

Universidad de Buenos Aires

3 de Diciembre de 2015



## Objeto y área

- ▶ Desarrollar, diseñar, caracterizar y organizar un Kit de Diseño de Proceso Interoperable (iPDK)
- ▶ Diseñar un conjunto de celdas estándar

# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.

# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.
- ▶ Familiarizarse a fondo con las herramientas de trabajo EDA.



# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.
- ▶ Familiarizarse a fondo con las herramientas de trabajo EDA.
- ▶ Familiarizarse con el estado del arte del diseño de circuitos integrados.

# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.
- ▶ Familiarizarse a fondo con las herramientas de trabajo EDA.
- ▶ Familiarizarse con el estado del arte del diseño de circuitos integrados.
- ▶ Desarrollar un producto final funcional y operativo.

# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.
- ▶ Familiarizarse a fondo con las herramientas de trabajo EDA.
- ▶ Familiarizarse con el estado del arte del diseño de circuitos integrados.
- ▶ Desarrollar un producto final funcional y operativo.
- ▶ Desarrollar un iPDK que pueda ser distribuido y utilizado por otras universidades.

# Motivaciones

- ▶ Llevar adelante un flujo de trabajo completo.
- ▶ Familiarizarse a fondo con las herramientas de trabajo EDA.
- ▶ Familiarizarse con el estado del arte del diseño de circuitos integrados.
- ▶ Desarrollar un producto final funcional y operativo.
- ▶ Desarrollar un iPDK que pueda ser distribuido y utilizado por otras universidades.
- ▶ Generar bibliografía especializada en idioma español.

# Alcance

- ▶ Desarrollar en detalle las celdas paramétricas para el iPDK y archivos de tecnología.

# Alcance

- ▶ Desarrollar en detalle las celdas paramétricas para el iPDK y archivos de tecnología.
- ▶ Desarrollar las celdas digitales previstas.

# Alcance

- ▶ Desarrollar en detalle las celdas paramétricas para el iPDK y archivos de tecnología.
- ▶ Desarrollar las celdas digitales previstas.
- ▶ Evaluar los resultados obtenidos mediante las mediciones correspondientes.

# Alcance

- ▶ Desarrollar en detalle las celdas paramétricas para el iPDK y archivos de tecnología.
- ▶ Desarrollar las celdas digitales previstas.
- ▶ Evaluar los resultados obtenidos mediante las mediciones correspondientes.
- ▶ Proponer trabajos futuros y/o mejoras.



# Contenido

Tecnología CMOS

Lógica CMOS

Flujo VLSI

PDK

Celdas Estándar

Resultados

# Contenido

## Tecnología CMOS

Introducción

MOSFET

Proceso fotolitográfico

Procesos CMOS

Vendor Rules

Scalable Rules

# Complementary

# Complementary Metal

# Complementary Metal Oxide

# Complementary Metal Oxide Semiconductor

# Características

- ▶ Consumo mínimo de potencia estática.

# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**



# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**
- ▶ Altos márgenes de ruido.

# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**
- ▶ Altos márgenes de ruido.
- ▶ Alta impedancia de entrada.

# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**
- ▶ Altos márgenes de ruido.
- ▶ Alta impedancia de entrada.
- ▶ Baja impedancia de salida.

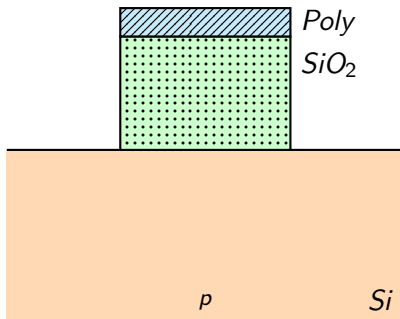
# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**
- ▶ Altos márgenes de ruido.
- ▶ Alta impedancia de entrada.
- ▶ Baja impedancia de salida.
- ▶ Lógica rail-to-rail.

# Características

- ▶ Consumo mínimo de potencia estática. **MUY IMPORTANTE**
- ▶ Altos márgenes de ruido.
- ▶ Alta impedancia de entrada.
- ▶ Baja impedancia de salida.
- ▶ Lógica rail-to-rail.
- ▶ Ratioless.

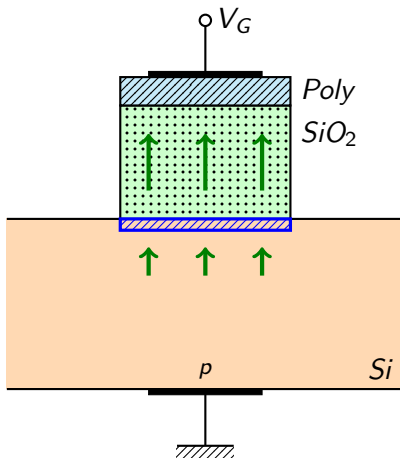
# La estructura MOS



## Metal-Óxido-Semiconductor

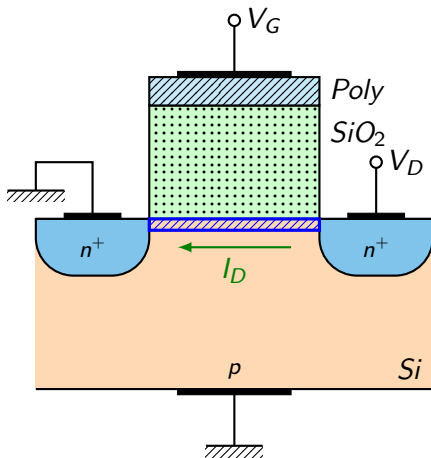
- ▶ Juntura metal-óxido-semiconductor
  - ▶ Semiconductor
  - ▶ Aislante
  - ▶ Conductor

# La estructura MOS



- ▶ Variando la tensión de Gate, cambia la concentración de portadores en la interfaz
- ▶ Puede formarse una “capa” conductora
- ▶ La tensión debe ser mayor que un umbral  $\Rightarrow$  Tensión Umbral ( $V_T$ )

# La estructura MOS

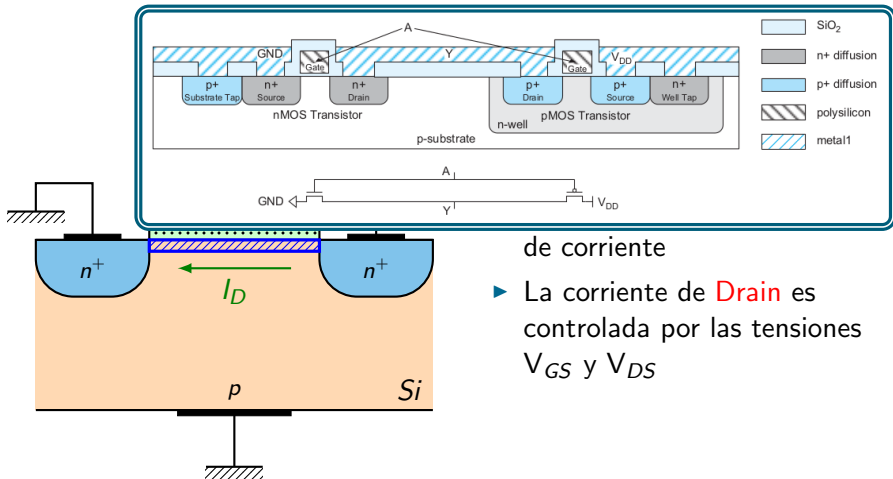


## El MOSFET

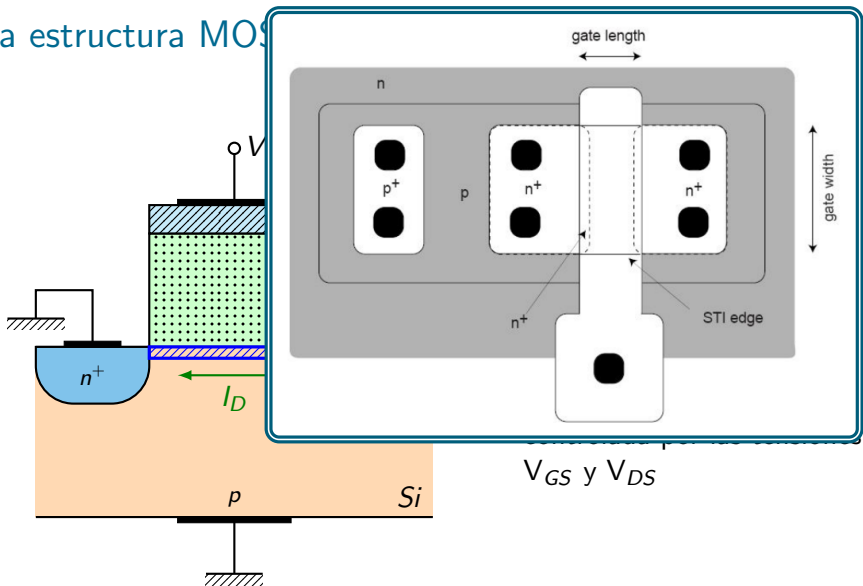
- ▶ Agregando dos terminales, puede generarse un camino de corriente
- ▶ La corriente de **Drain** es controlada por las tensiones  $V_{GS}$  y  $V_{DS}$



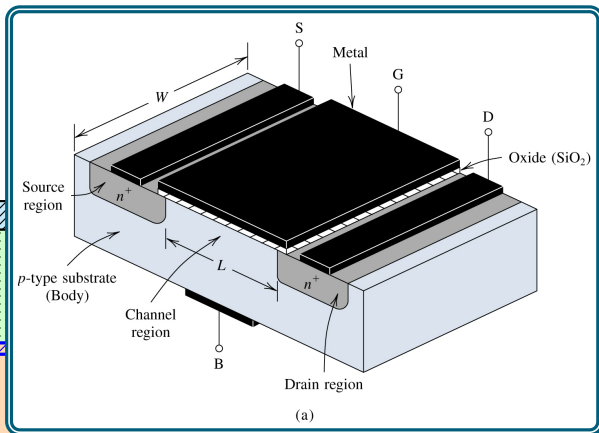
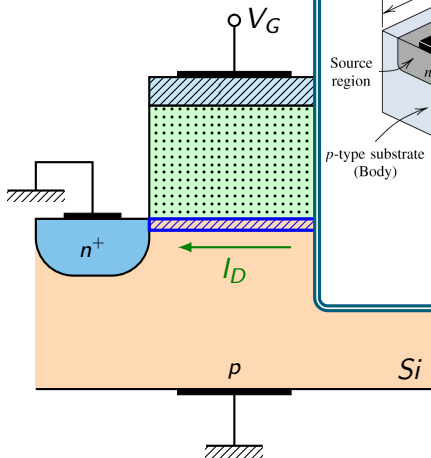
# La estructura MOS



# La estructura MOS

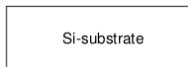


# La estructura MOS

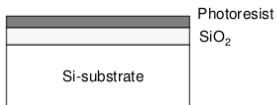


controlada por las tensiones  
 $V_{GS}$  y  $V_{DS}$

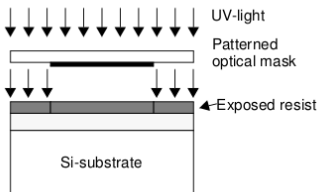
## Proceso fotolitográfico



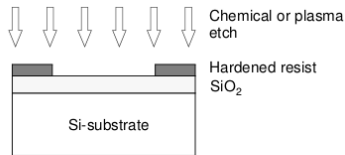
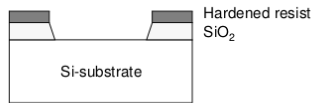
(a) Silicon base material



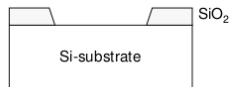
(b) After oxidation and deposition of negative photoresist



(c) Stepper exposure

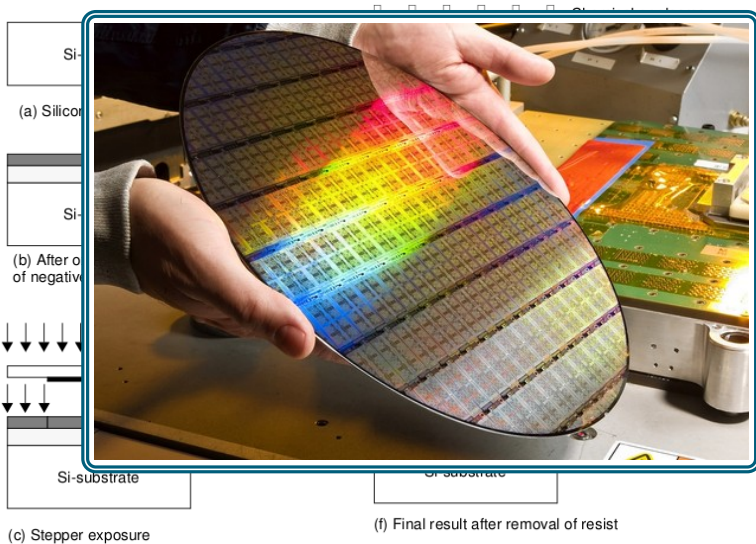
(d) After development and etching of resist, chemical or plasma etch of  $\text{SiO}_2$ 

(e) After etching

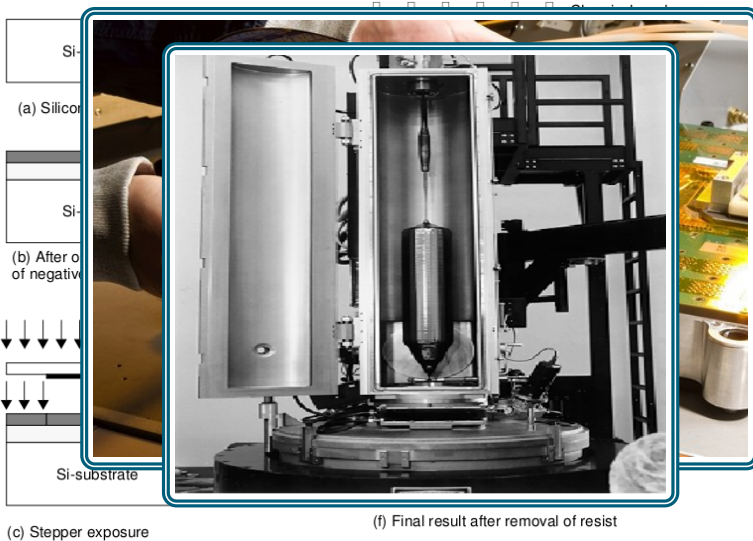


(f) Final result after removal of resist

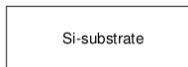
## Proceso fotolitográfico



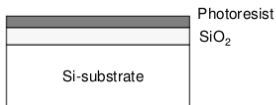
## Proceso fotolitográfico



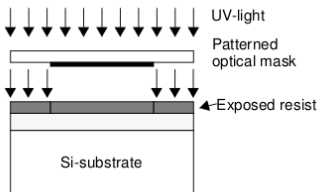
## Proceso fotolitográfico



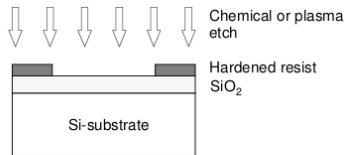
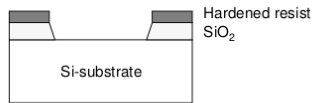
(a) Silicon base material



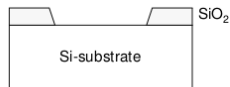
(b) After oxidation and deposition of negative photoresist



(c) Stepper exposure

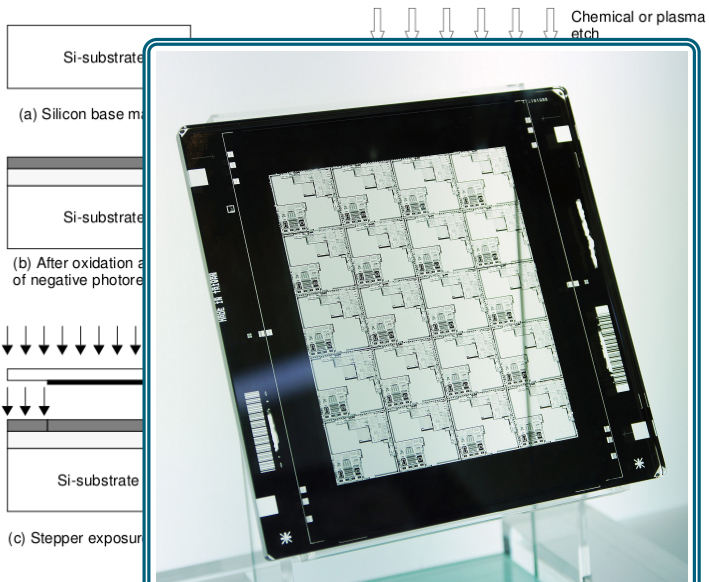
(d) After development and etching of resist, chemical or plasma etch of  $\text{SiO}_2$ 

(e) After etching



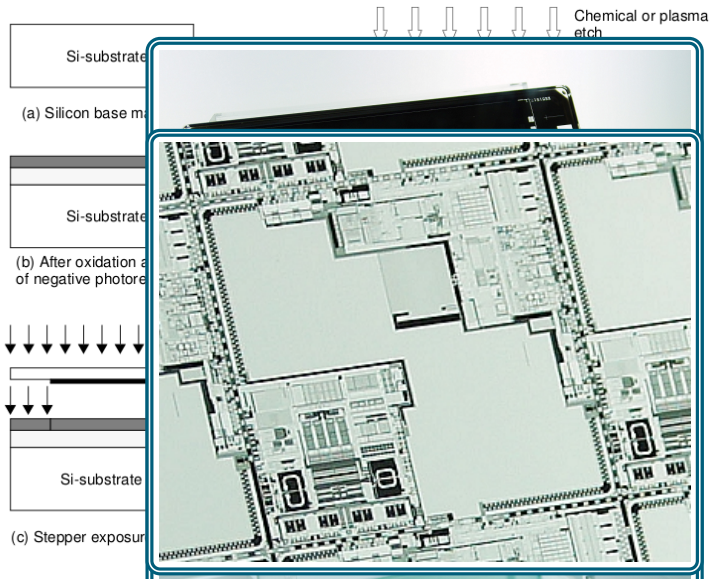
(f) Final result after removal of resist

## Proceso fotolitográfico

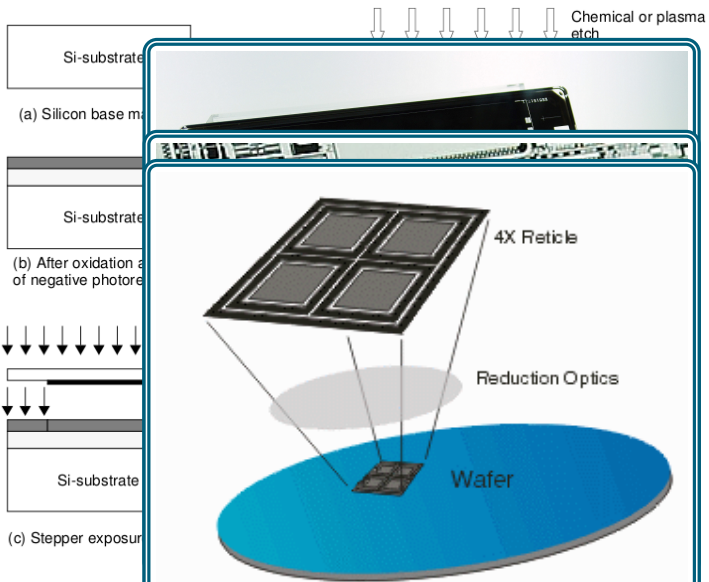




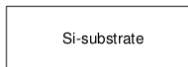
## Proceso fotolitográfico



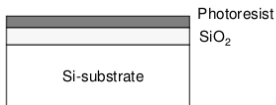
## Proceso fotolitográfico



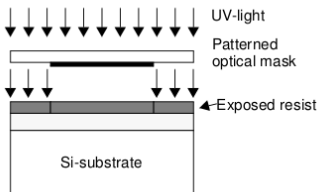
## Proceso fotolitográfico



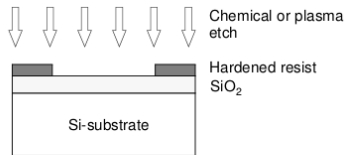
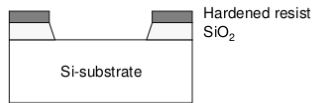
(a) Silicon base material



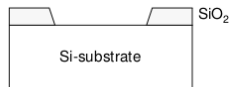
(b) After oxidation and deposition of negative photoresist



(c) Stepper exposure

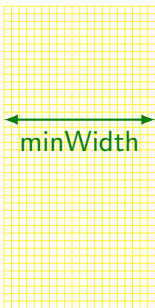
(d) After development and etching of resist, chemical or plasma etch of  $\text{SiO}_2$ 

(e) After etching



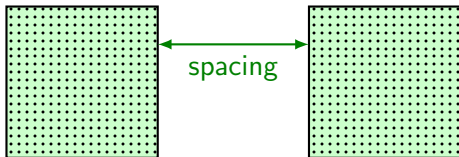
(f) Final result after removal of resist

# DRC Rules



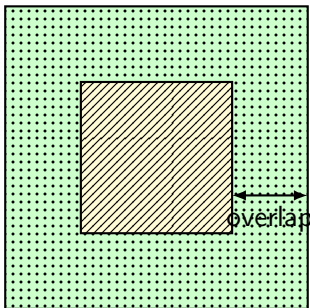
- ▶ Minimum width

# DRC Rules



- ▶ Minimum width
- ▶ Spacing

# DRC Rules



- ▶ Minimum width
- ▶ Spacing
- ▶ Overlap

# Reglas de diseño

- ▶ Confidenciales
- ▶ Protegidas por propiedad intelectual
- ▶ Información precisa del proceso

## Vendor Rules

- ▶ Mayor control
- ▶ Mayor complejidad
- ▶ Mayor rendimiento de área
- ▶ Mayor cantidad de capas

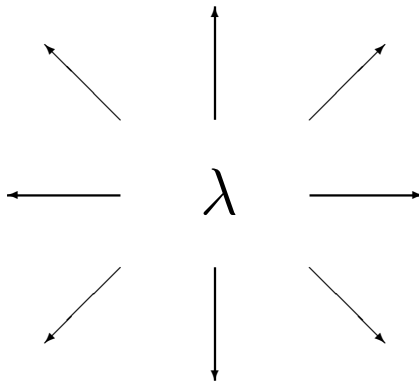


## Vendor Rules

- ▶ Mayor control
- ▶ Mayor complejidad
- ▶ Mayor rendimiento de área
- ▶ Mayor cantidad de capas

Contrato de confidencialidad

# Scalable Rules



## Scalable Rules

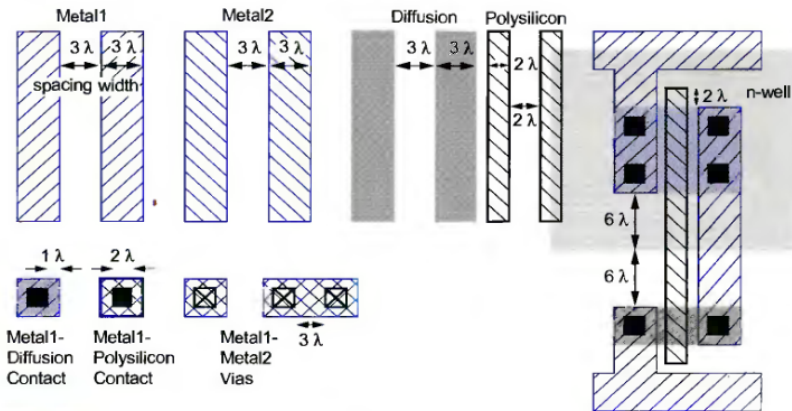
- ▶ Menor información sobre el proceso.
- ▶ Portabilidad.
- ▶ El escalamiento no es perfecto.

## Scalable Rules

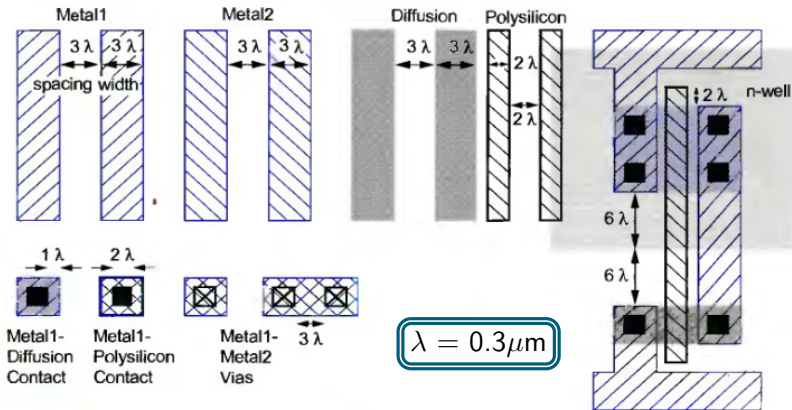
- ▶ Menor información sobre el proceso.
- ▶ Portabilidad.
- ▶ El escalamiento no es perfecto.

Reglas libres

# Proceso SCN3ME\_SUBM



# Proceso SCN3ME\_SUBM





# MOSIS

Metal-Oxide-Semiconductor Implementation Service

- ▶ Multi-project wafers
  - ▶ Investigación
  - ▶ Docencia
  - ▶ Startup

# Contenido

## Lógica CMOS

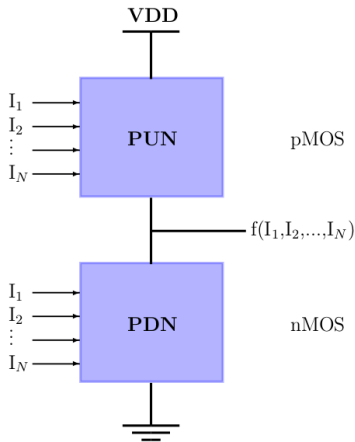
- Lógica combinacional

  - Síntesis de compuertas

- Lógica secuencial



# Lógica CMOS: estructura complementaria



# Algoritmo para sintetizar compuertas

1. Escribir la función lógica de forma:

$$F(X) = \textit{not}[\textit{logic}(X)] \quad (1)$$

## Algoritmo para sintetizar compuertas

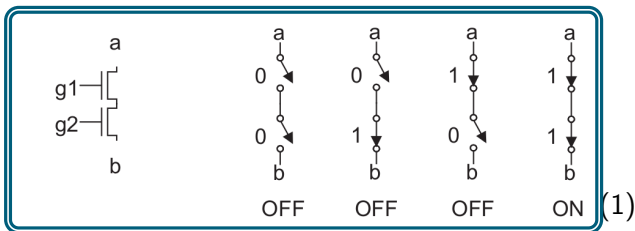
1. Escribir la función lógica de forma:

$$F(X) = not[logic(X)] \quad (1)$$

2. Síntetizar la red de *pull-down* a través de *logic(X)*.

## Algoritmo para

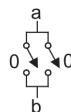
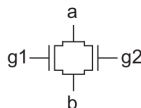
1. Escribir la



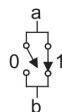
2. Síntetizar la red de *pull-down* a través de *logic(X)*.

# Algoritmo para sintetizar compuertas

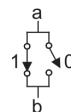
1. Escribir la



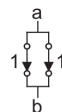
OFF



ON



ON



ON

(1)

2. Sintetizar la red de *pull-down* a través de *logic(X)*.

## Algoritmo para sintetizar compuertas

1. Escribir la función lógica de forma:

$$F(X) = \text{not}[\text{logic}(X)] \quad (1)$$

2. Sintetizar la red de *pull-down* a través de *logic(X)*.
3. Sintetizar la red de *pull-up* considerando que es complementaria a la red de *pull-down*.

## Algoritmo para sintetizar compuertas

1. Escribir la función lógica de forma:

$$F(X) = \text{not}[\text{logic}(X)] \quad (1)$$

2. Síntetizar la red de *pull-down* a través de *logic(X)*.
3. Síntetizar la red de *pull-up* considerando que es complementaria a la red de *pull-down*.
4. Conectar la red *pull-down* entre GND y el nodo de salida.

## Algoritmo para sintetizar compuertas

1. Escribir la función lógica de forma:

$$F(X) = \text{not}[\text{logic}(X)] \quad (1)$$

2. Sintetizar la red de *pull-down* a través de *logic(X)*.
3. Sintetizar la red de *pull-up* considerando que es complementaria a la red de *pull-down*.
4. Conectar la red *pull-down* entre GND y el nodo de salida.
5. Conectar la red *pull-up* entre VDD y el nodo de salida.



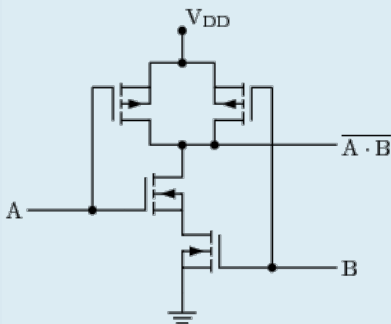
## Algoritmo para sintetizar compuertas

1. Escribir la función lógica de forma:

$$F(X) = \text{not}[\text{logic}(X)] \quad (1)$$

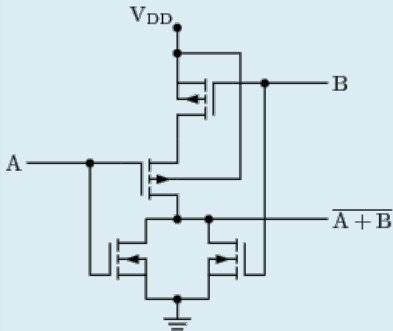
2. Síntetizar la red de *pull-down* a través de *logic(X)*.
3. Síntetizar la red de *pull-up* considerando que es complementaria a la red de *pull-down*.
4. Conectar la red *pull-down* entre GND y el nodo de salida.
5. Conectar la red *pull-up* entre VDD y el nodo de salida.
6. Asignar a cada gate de cada transistor una entrada del sistema.

## Ejemplo: NAND



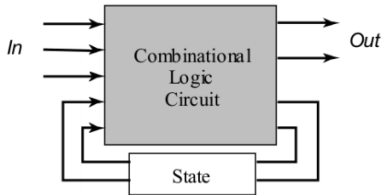
Esquemático NAND

## Ejemplo: NOR

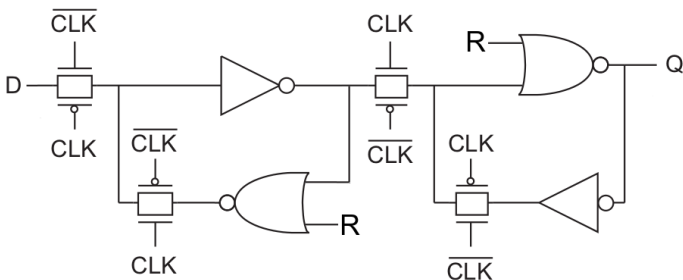


Esquemático NOR

# Lógica secuencial



# Flip Flop D



# Contenido

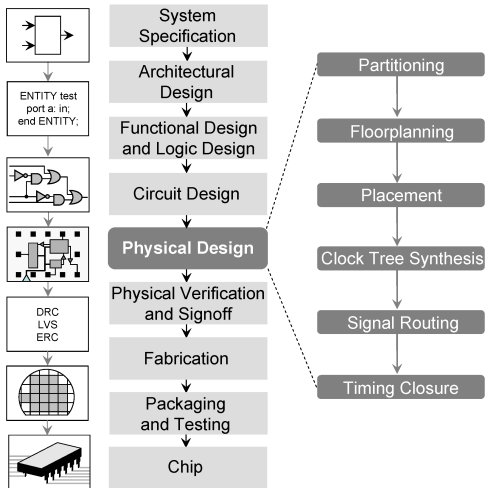
## Flujo VLSI

Ley de Moore

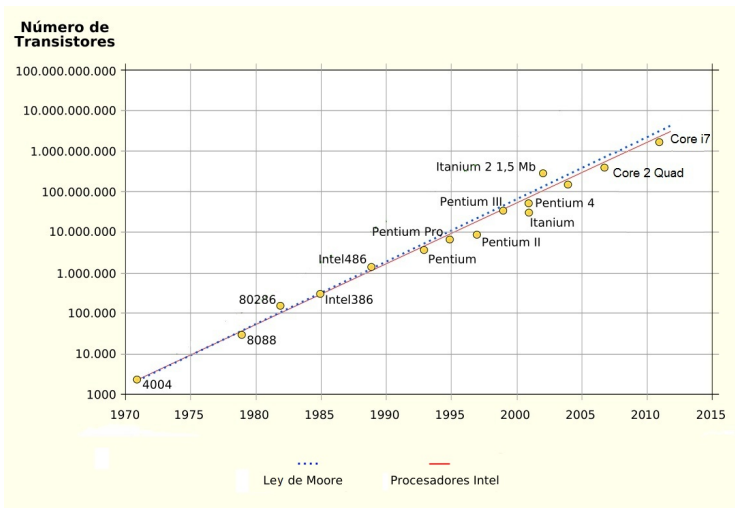
INTEL

EDA Tools

# Very Large Scale of Integration



# Ley de Moore





# Procesadores INTEL

- ▶ Pentium

- ▶ P54C

- ▶ Año: 1994
    - ▶ Frecuencia: 100MHz
    - ▶ Número de transistores: 3.2 millones
    - ▶ Tamaño del die: 163 mm<sup>2</sup>
    - ▶ Nodo: 0.6μm

# Procesadores INTEL

- ▶ Pentium
  - ▶ P54C
    - ▶ Año: 1994
    - ▶ Frecuencia: 100MHz
    - ▶ Número de transistores: 3.2 millones
    - ▶ Tamaño del die: 163 mm<sup>2</sup>
    - ▶ Nodo: 0.6μm
- ▶ Core i7
  - ▶ Broadwell-U
    - ▶ 5ta generación (Enero 2015)
    - ▶ Dual-Core
    - ▶ Número de transistores: 1300 - 1900 millones
    - ▶ Tamaño del die: 82-133 mm<sup>2</sup>
    - ▶ Nodo: 14nm

# Récord

- ▶ INTEL Xeon
  - ▶ Haswell-E5
    - ▶ Año: 2014
    - ▶ Número de transistores: 5560 millones
    - ▶ Tamaño del die: 661 mm<sup>2</sup>
    - ▶ Nodo: 22nm

# Récord

- ▶ INTEL Xeon
  - ▶ Haswell-E5
    - ▶ Año: 2014
    - ▶ Número de transistores: 5560 millones
    - ▶ Tamaño del die: 661 mm<sup>2</sup>
    - ▶ Nodo: 22nm
- ▶ IBM z13
  - ▶ Storage Controller
    - ▶ Año: 2015 (Enero)
    - ▶ Número de transistores: 7100 millones
    - ▶ Tamaño del die: 678 mm<sup>2</sup>
    - ▶ Nodo: 22nm

¿Cómo es esto posible?

¿Cómo es esto posible?  
¡AUTOMATIZACIÓN!

¿Cómo es esto posible?  
¡AUTOMATIZACIÓN!

## Electronic Design Automation

¿Cómo es esto posible?  
¡AUTOMATIZACIÓN!

## Electronic Design Automation

- ▶ Herramientas EDA de flujo digital
  - ▶ Síntesis
  - ▶ P&R



## EDA TOOLS

- ▶ Alto costo
- ▶ Alta complejidad

## EDA TOOLS

- ▶ Alto costo
- ▶ Alta complejidad

## En el Laboratorio de Microelectrónica

- ▶ Synopsys Inc.
- ▶ Mentor Graphics Inc.

# Contenido

## PDK

Definición

PCells

Kit de Diseño Interoperable: iPDK

PyCells

# Kit de Diseño: PDK

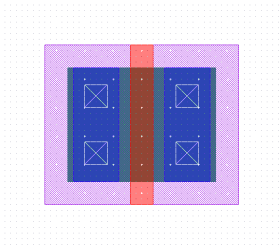


# PCells

## Celdas Paramétricas

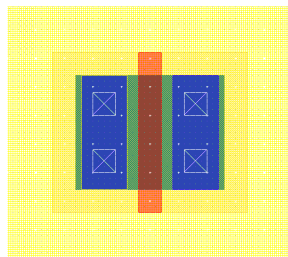
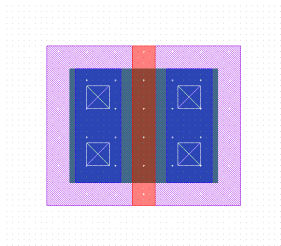
# PCells

## Celdas Paramétricas



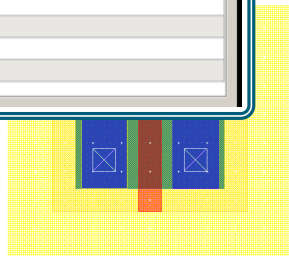
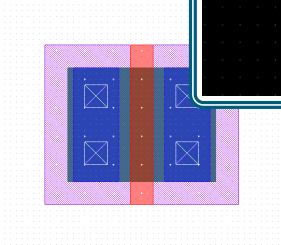
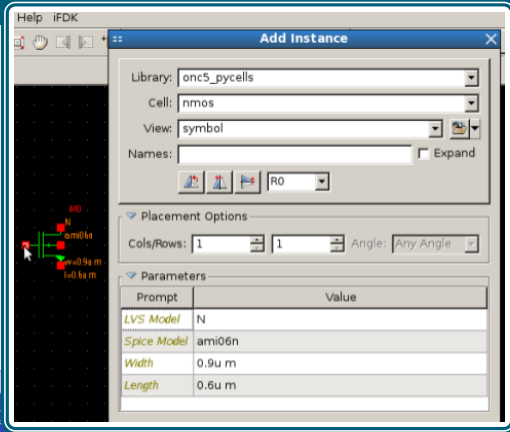
# PCells

## Celdas Paramétricas



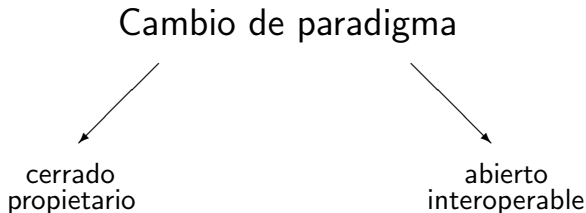
## PCells

## PCells





# Kit de Diseño Interoperable: iPDK



# IPL Alliance

- ▶ Abril 2007
- ▶ IPL: Interoperable PDK Libraries
- ▶ Industria: 18 EDA + TSCM

# Kit de Diseño Interoperable: iPDK

- ▶ Único PDK

# Kit de Diseño Interoperable: iPDK

- ▶ Único PDK
- ▶ Libre elección

# Kit de Diseño Interoperable: iPDK

- ▶ Único PDK
- ▶ Libre elección
- ▶ OpenAccess

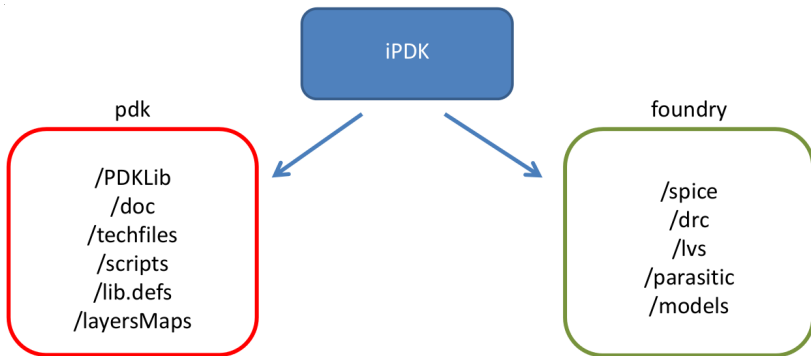
# Kit de Diseño Interoperable: iPDK

- ▶ Único PDK
- ▶ Libre elección
- ▶ OpenAccess
- ▶ Traducción de datos

# Kit de Diseño Interoperable: iPDK

- ▶ Único PDK
- ▶ Libre elección
- ▶ OpenAccess
- ▶ Traducción de datos
- ▶ PCells portátiles

# Kit de Diseño Interoperable: iPDK





# Componentes del Kit

- ▶ Archivos de tecnología

# Componentes del Kit

- ▶ Archivos de tecnología
- ▶ PCells: PyCells

# Componentes del Kit

- ▶ Archivos de tecnología
- ▶ PCells: PyCells
- ▶ Layers maps

# Componentes del Kit

- ▶ Archivos de tecnología
- ▶ PCells: PyCells
- ▶ Layers maps
- ▶ Reglas de diseño

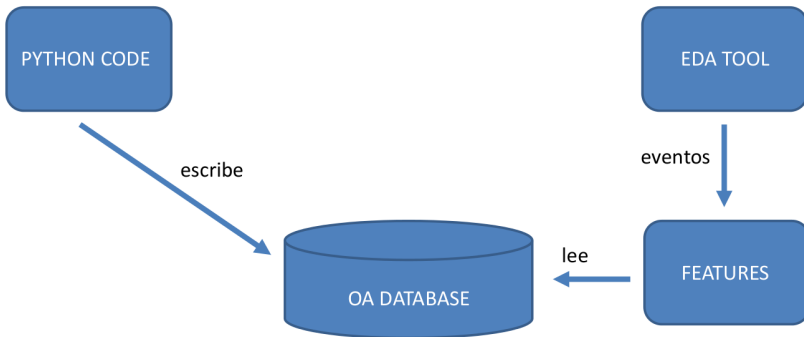
# Componentes del Kit

- ▶ Archivos de tecnología
- ▶ PCells: PyCells
- ▶ Layers maps
- ▶ Reglas de diseño
- ▶ Celdas estándar

# PyCells

- ▶ Python
- ▶ IPL Alliance
- ▶ PyCell Studio

# PyCells



# Contenido

## Celdas Estándar

Diseño

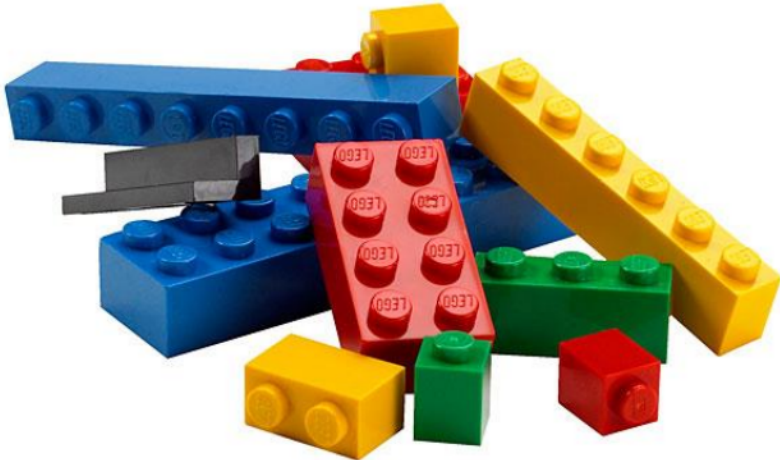
Grilla de ruteo

Dimensionamiento

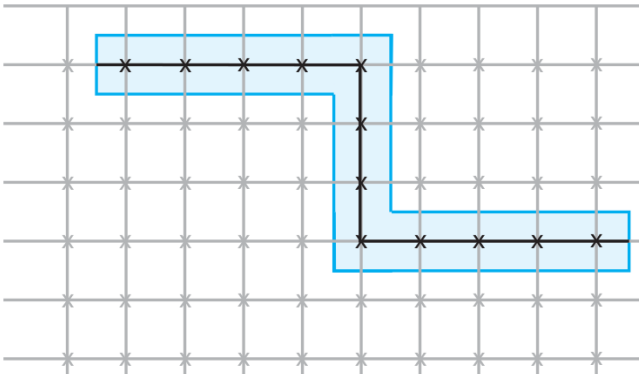
Layouts



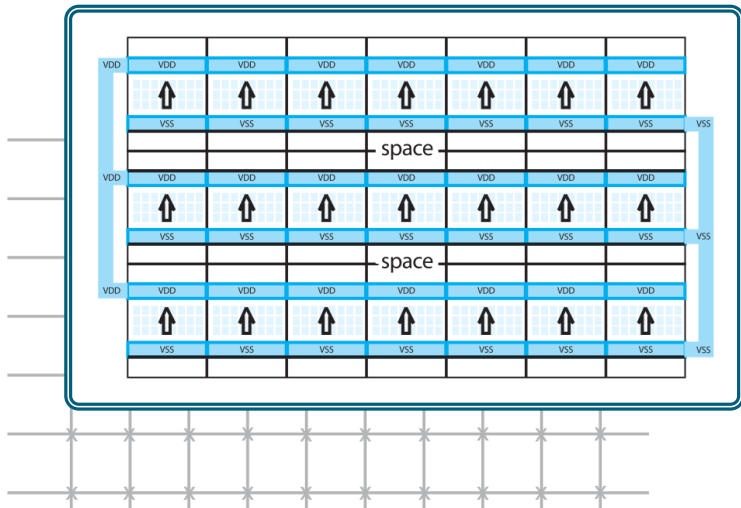
# Concepto de celdas estándar: analogía LEGO



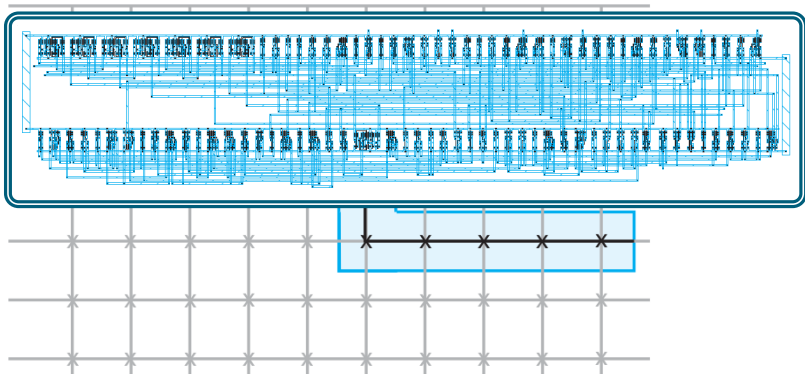
# Ruteo



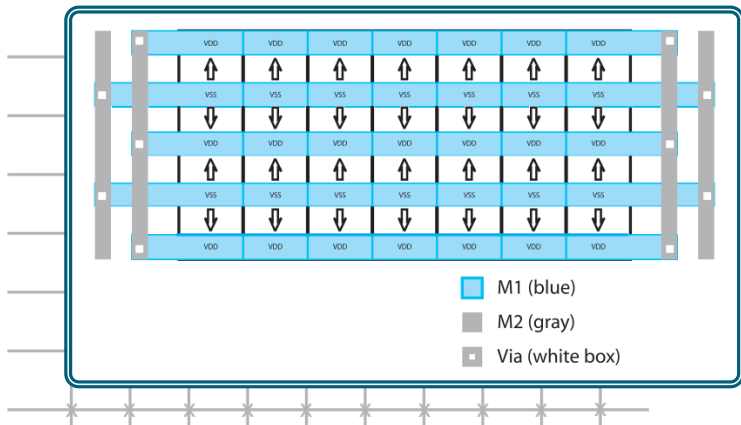
# Ruteo



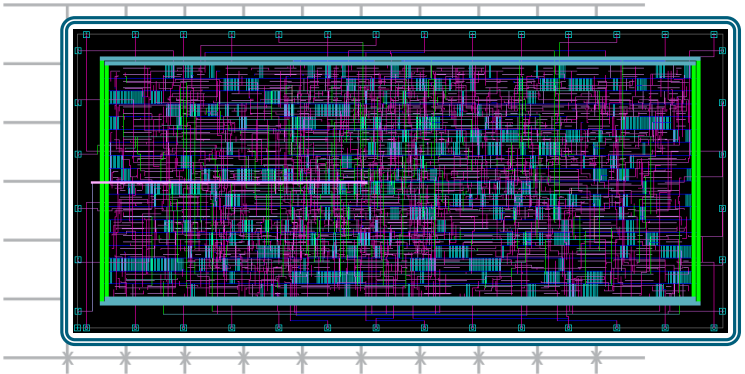
# Ruteo



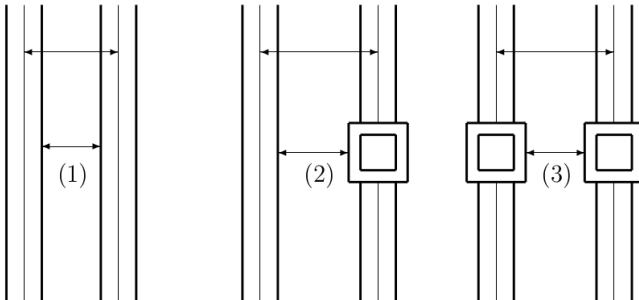
# Ruteo



# Ruteo



# Spacing



# Cálculo

1. Via-to-Via horizontal ( $g_{y1}$ ): Via width + M1 spacing



# Cálculo

1. Via-to-Via horizontal ( $g_{y_1}$ ): Via width + M1 spacing

$$g_{y_1} = 4\lambda + 3\lambda = 7\lambda$$

# Cálculo

1. Via-to-Via horizontal ( $g_{y_1}$ ): Via width + M1 spacing

$$g_{y_1} = 4\lambda + 3\lambda = 7\lambda$$

2. Via-to-Via vertical ( $g_x$ ): Via width + M2 spacing

## Cálculo

1. Via-to-Via horizontal ( $g_{y_1}$ ): Via width + M1 spacing

$$g_{y_1} = 4\lambda + 3\lambda = 7\lambda$$

2. Via-to-Via vertical ( $g_x$ ): Via width + M2 spacing

$$g_x = 4\lambda + 3\lambda = 7\lambda$$

## Cálculo

1. Via-to-Via horizontal ( $g_{y_1}$ ): Via width + M1 spacing

$$g_{y_1} = 4\lambda + 3\lambda = 7\lambda$$

2. Via-to-Via vertical ( $g_x$ ): Via width + M2 spacing

$$g_x = 4\lambda + 3\lambda = 7\lambda$$

3. Via2-to-Via2 horizontal ( $g_{y_2}$ ): Via2 width + M3 spacing

## Cálculo

1. Via-to-Via horizontal ( $g_{y_1}$ ): Via width + M1 spacing

$$g_{y_1} = 4\lambda + 3\lambda = 7\lambda$$

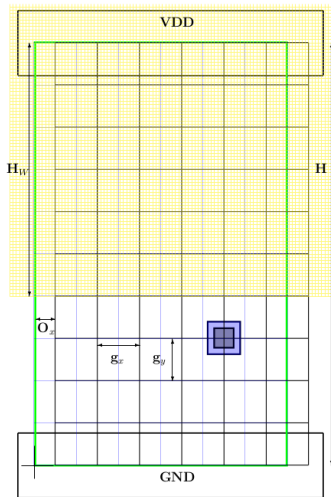
2. Via-to-Via vertical ( $g_x$ ): Via width + M2 spacing

$$g_x = 4\lambda + 3\lambda = 7\lambda$$

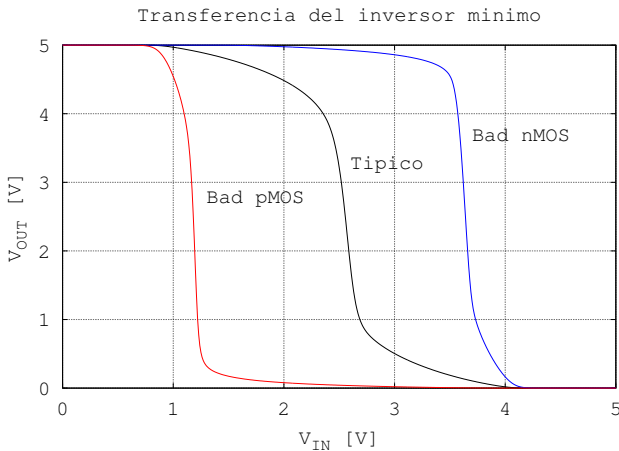
3. Via2-to-Via2 horizontal ( $g_{y_2}$ ): Via2 width + M3 spacing

$$g_{y_2} = 6\lambda + 3\lambda = 9\lambda$$

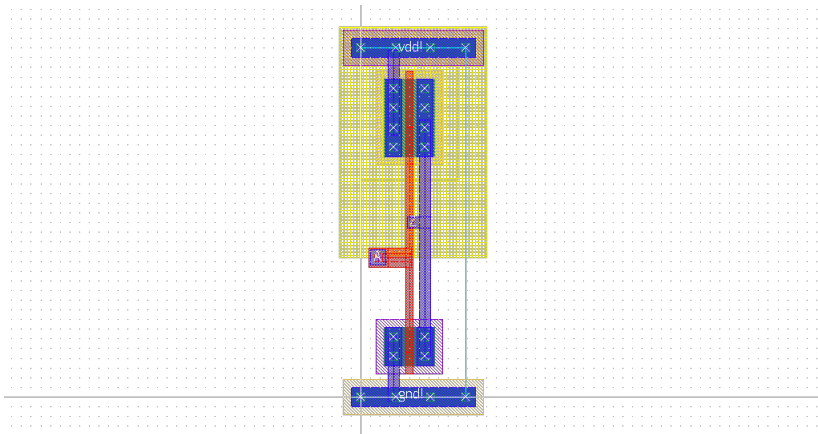
## Grilla de ruteo



# Transferencia inversor

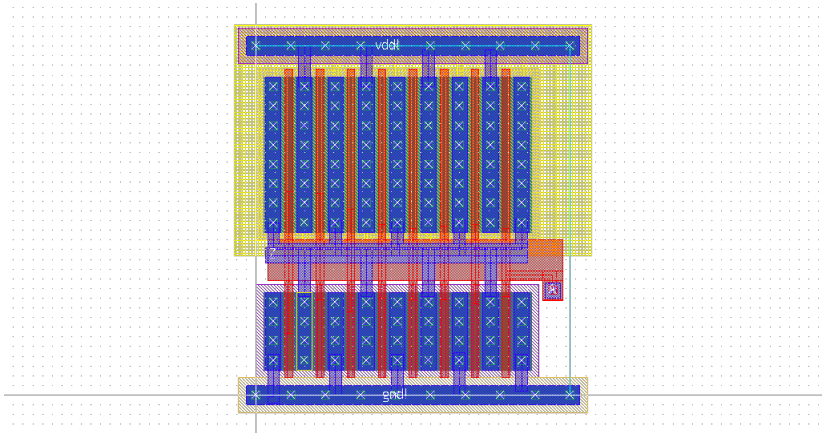


# INVX1

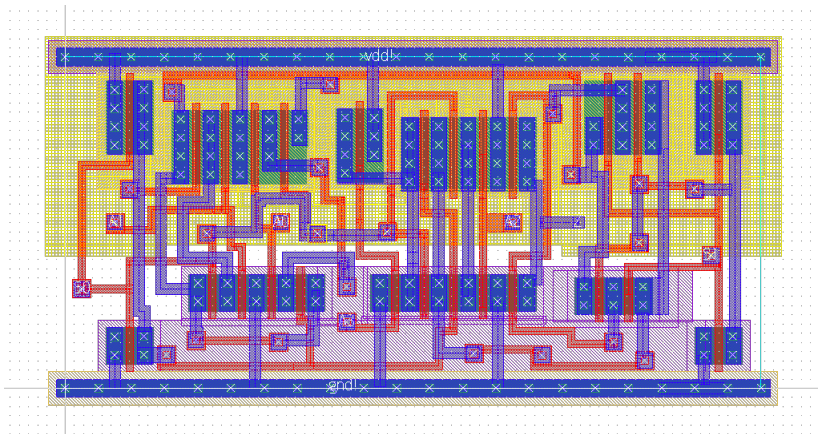




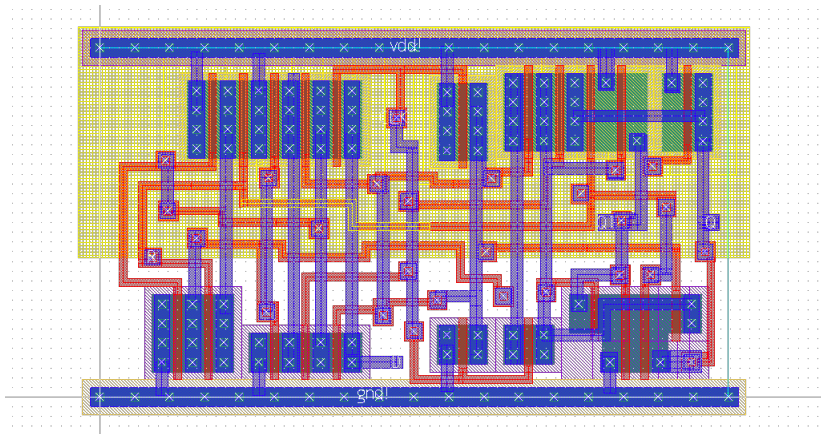
# INVX16



# MUX4X1



# DFFR



# Contenido

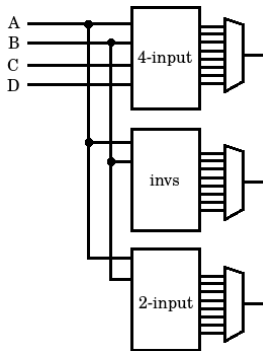
## Resultados

Floorplaning

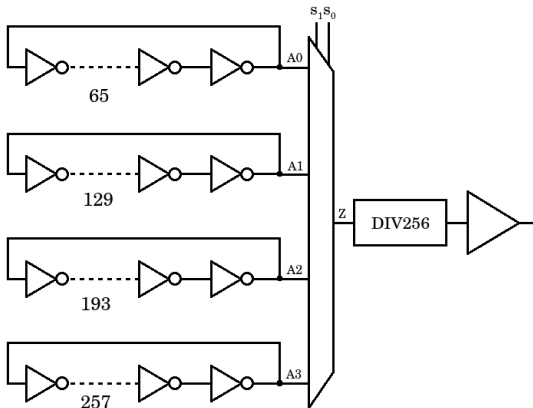
Top level

Resultados

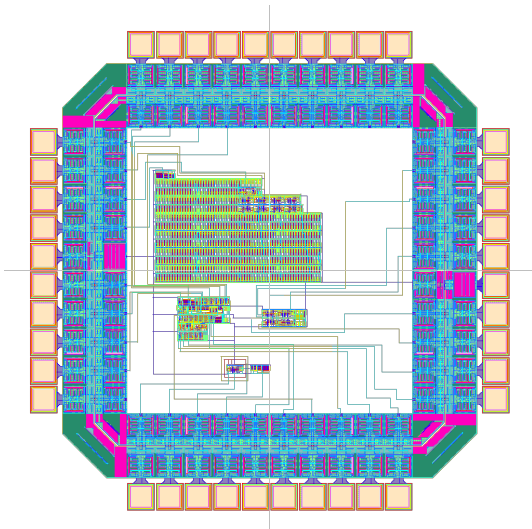
# Celdas estándar



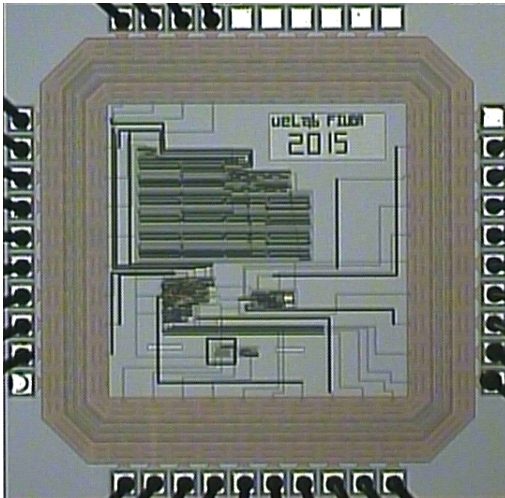
# Osciladores



# Layout

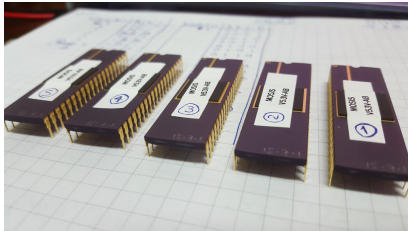


# Microfotografía

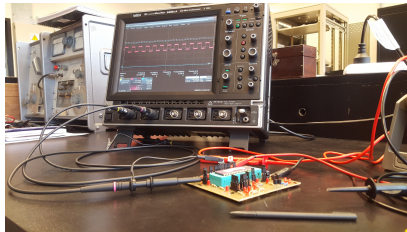
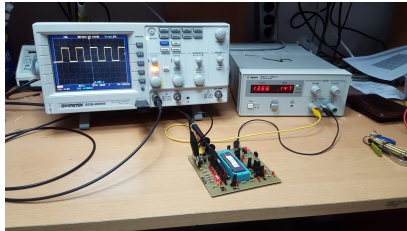




# Análisis estático



# Análisis dinámico



## Análisis dinámico

Frecuencia de oscilación de un oscilador en anillo:

$$f_{osc} = \frac{1}{2 \times t_d \times m} \quad (2)$$

## Análisis dinámico

Frecuencia de oscilación de un oscilador en anillo:

$$f_{osc} = \frac{1}{2 \times t_d \times m} \quad (2)$$

La frecuencia “real” difiere de la frecuencia “medida”

$$f_{real} = f_{measured} \times 256 \quad (3)$$

## Análisis dinámico

Frecuencia de oscilación de un oscilador en anillo:

$$f_{osc} = \frac{1}{2 \times t_d \times m} \quad (2)$$

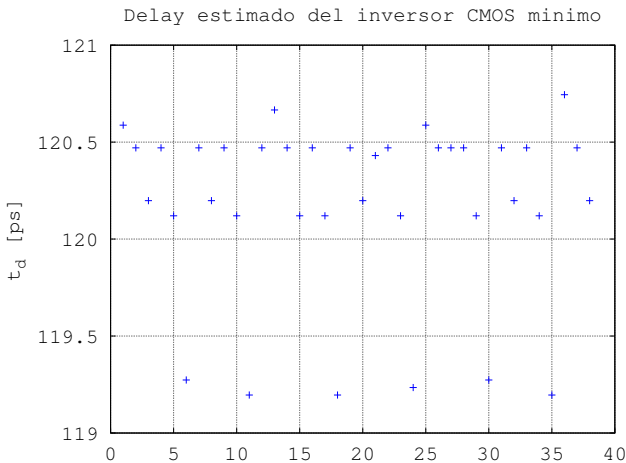
La frecuencia “real” difiere de la frecuencia “medida”

$$f_{real} = f_{measured} \times 256 \quad (3)$$

Se estima el tiempo de propagación dependiendo de la cantidad de etapas

$$t_d = \frac{1}{2 \times f_{real} \times m}, m = \begin{cases} 65, & s = 00 \\ 129, & s = 01 \\ 193, & s = 10 \\ 257, & s = 11 \end{cases} \quad (4)$$

# Análisis dinámico



## Resumen y conclusiones

- ▶ Se diseñó un juego de celdas paramétricas (PyCells)

## Resumen y conclusiones

- ▶ Se diseñó un juego de celdas paramétricas (PyCells)
- ▶ Archivos de PDK
  - ▶ Tech files
  - ▶ DRC
  - ▶ LVS
  - ▶ iCDF
  - ▶ Callbacks
  - ▶ Menú en Tcl



## Resumen y conclusiones

- ▶ Se diseñó un juego de celdas paramétricas (PyCells)
- ▶ Archivos de PDK
  - ▶ Tech files
  - ▶ DRC
  - ▶ LVS
  - ▶ iCDF
  - ▶ Callbacks
  - ▶ Menú en Tcl
- ▶ Se diseñaron 28 celdas estándar

## Resumen y conclusiones

- ▶ Se diseñó un juego de celdas paramétricas (PyCells)
- ▶ Archivos de PDK
  - ▶ Tech files
  - ▶ DRC
  - ▶ LVS
  - ▶ iCDF
  - ▶ Callbacks
  - ▶ Menú en Tcl
- ▶ Se diseñaron 28 celdas estándar
- ▶ Se diseñaron estructuras de prueba

## Resumen y conclusiones

- ▶ Se diseñó un juego de celdas paramétricas (PyCells)
- ▶ Archivos de PDK
  - ▶ Tech files
  - ▶ DRC
  - ▶ LVS
  - ▶ iCDF
  - ▶ Callbacks
  - ▶ Menú en Tcl
- ▶ Se diseñaron 28 celdas estándar
- ▶ Se diseñaron estructuras de prueba
- ▶ Se fabricó un chip através de MOSIS

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.
- ▶ Continuar el desarrollo de las celdas estándar para aumentar la cantidad de éstas.

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.
- ▶ Continuar el desarrollo de las celdas estándar para aumentar la cantidad de éstas.
- ▶ Caracterizar la librería digital.

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.
- ▶ Continuar el desarrollo de las celdas estándar para aumentar la cantidad de éstas.
- ▶ Caracterizar la librería digital.
- ▶ Dejar el material libre disponible para la comunidad.



## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.
- ▶ Continuar el desarrollo de las celdas estándar para aumentar la cantidad de éstas.
- ▶ Caracterizar la librería digital.
- ▶ Dejar el material libre disponible para la comunidad.
- ▶ Escribir el manual del PDK.

## Trabajos futuros

- ▶ Continuar el desarrollo de las pycells para agregar más dispositivos, como ser:
  - ▶ Capacitores.
  - ▶ Inductores.
  - ▶ TBJ.
- ▶ Continuar el desarrollo de las pycells para agregar más características, como ser:
  - ▶ AutoAbutment.
  - ▶ Fingers.
- ▶ Continuar el desarrollo de las celdas estándar para aumentar la cantidad de éstas.
- ▶ Caracterizar la librería digital.
- ▶ Dejar el material libre disponible para la comunidad.
- ▶ Escribir el manual del PDK.
- ▶ Escribir el manual de las celdas estándar.

# EAMTA2016

## Escuela Argentina de Micro-Nanoelectrónica Tecnología y sus Aplicaciones

- ▶ 11va edición
- ▶ Universidad Nacional del Comahue
- ▶ Track básico

## Presentaciones en Congresos

- ▶ G. A. Sanca, O. H. Alpago, M. García Inza, “Desarrollo de un Kit de Diseño Interoperable y un conjunto de celdas estándar abiertos para un proceso CMOS escalable” VI Congreso de Microelectrónica Aplicada, 2015
- ▶ G. A. Sanca, O. H. Alpago, M. García Inza, “Development of a CMOS Interoperable Process Design Kit and an open set of standard digital cells”, VII IEEE Latin American Symposium on Circuits and Systems (LASCAS), 2016 (ENVIADO)

# “Institucionales”

- ▶ FIUBA - LM/LFDM

# “Institucionales”

- ▶ FIUBA - LM/LFDM
- ▶ Synopsys Inc.
  - ▶ Tools
  - ▶ Soporte
  - ▶ Apoyo

## “Institucionales”

- ▶ FIUBA - LM/LFDM
- ▶ Synopsys Inc.
  - ▶ Tools
  - ▶ Soporte
  - ▶ Apoyo
- ▶ INTI - CMNB

## “Institucionales”

- ▶ FIUBA - LM/LFDM
- ▶ Synopsys Inc.
  - ▶ Tools
  - ▶ Soporte
  - ▶ Apoyo
- ▶ INTI - CMNB
- ▶ UTN - FRBA
  - ▶ Colaboración
  - ▶ Testeo



# ¡Gracias... totales!



# Preguntas

